

## IMAGE SENSOR

**Publication number:** JP11121731 (A)

**Publication date:** 1999-04-30

**Inventor(s):** CHIYOU KOUYUU; SAKAKURA MASAYUKI; SATOU YURIKA

**Applicant(s):** SEMICONDUCTOR ENERGY LAB

**Classification:**

- international: **H01L27/146; H04N5/335; H01L27/146; H04N5/335; (IPC1-7): H01L27/146; H04N5/335**

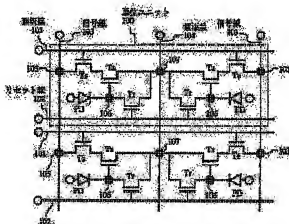
- European:

**Application number:** JP19970306516 19971020

**Priority number(s):** JP19970306516 19971020

### Abstract of JP 11121731 (A)

**PROBLEM TO BE SOLVED:** To form an active image sensor at high density on a glass or quartz substrate. **SOLUTION:** A selection transistor Ts comprising a thin film transistor, an amplifier transistor Ta and a reset transistor Tr are formed in a matrix circuit. A photodiode PD is formed on the matrix circuit through an insulating layer. A power supply line 104 is commonly used by adjacent two lines so as to decrease the number of lines per picture element. The whole transistors in a unit 100 are formed on an insular semiconductor thin film so as to decrease the number of contact holes per picture element.



[0051] [Embodiment 2] This embodiment is a modified example of the matrix circuit of Embodiment 1. Fig. 7 is an equivalent circuit diagram of 2x2 pixels of an image sensor of this embodiment. Fig. 8 is a schematic plan view of the matrix circuit of this embodiment. This embodiment is different from Embodiment 1 in that the selection transistor Ts is configured as so called a multi-gate structure having two gate electrodes. In Figs. 7 and 8, the same reference symbols as Figs. 1 and 4 designate the same constituents.

[0052] As shown in Fig. 8, two gate electrodes 301 and 302 of the selection transistor Ts are integrally formed in the selection line 101. Further, similar to Embodiment 1, active layers of all thin film transistors formed in a unit section 300 is formed in one island area 303. A photoelectric converter (photodiode PD) may be formed similar to Embodiment 1, and in Fig. 8, a rectangular area 304 shown by a heavy line represents a plane pattern of a lower electrode.

[0053] This embodiment attempts to reduce a leakage current of the selection transistor Ts during non-selection by configuring the selection transistor Ts to have a structure in which two transistors are connected in series. If a current leaks from the selection transistor Ts during non-selection, a signal current output from a signal line is reduced. Further, the leakage current becomes a noise with

respect to a signal current output from other pixels. This embodiment solves these two problems by configuring the selection transistor Ts as a multi-gate type.

[0054] In this embodiment, since two gate electrodes 301 and 302 of the selection transistor Ts are formed in the selection line 101, a pixel pitch in a horizontal direction becomes 13a (a is a design rule) and becomes larger than that of Embodiment 1, but since the power line 104 is shared in two adjacent columns, the pixel pitch is more shortened than the conventional pixel pitch 15a.

[0055] [Embodiment 3] This embodiment is a modified example of the matrix circuit of Embodiment 1. Fig. 9 is an equivalent circuit diagram of 2x2 pixels of an image sensor of this embodiment. Fig. 10 is a schematic plan view of the matrix circuit of this embodiment. This embodiment is different from Embodiment 1 in that the reset transistor Tr is configured as a so called multi-gate structure having two gate electrodes. In Figs. 9 and 10, the same reference symbols as Figs. 1 and 4 designate the same constituents. A photoelectric converter (photodiode PD) may be formed similar to Embodiment 1, and in Fig. 10, a rectangular area 314 shown by a heavy line represents an area in which a lower electrode is formed.

[0056] As shown in Fig. 10, two gate electrodes 311 and 312 of the reset transistor Tr are integrally formed in the selection line 102. Further, similar to Embodiment 1, active layers constituting all thin film transistors formed in a

unit section 310 is formed in one island area 313. Further, in this embodiment, a pixel pitch in a horizontal direction becomes 12a (a is a design rule) and becomes larger than that of Embodiment 1, but since the power line 104 is shared in two adjacent columns, the pixel pitch can be more shortened than the conventional pixel pitch 15a.

[0057] This embodiment attempts to reduce a leakage current of the reset transistor Tr during non-selection by configuring the reset transistor Tr to have a structure in which two transistors are connected in series. If a current leaks from the reset transistor Tr during non-selection, a potential of the gate electrode 206 of the amplification transistor Ta which is in a floating state at this time rises. A magnitude of a current amplified by the amplification transistor Ta corresponds to a reduction amount of the potential of the gate electrode. Therefore, if the potential of the gate electrode rises, a drain current output from the amplification transistor Ta is reduced. A signal current read out from the pixel becomes small. As a result, a resolution deteriorates and unevenness in brightness of an image occurs. This embodiment reduces the leakage current to solve this problem by configuring the reset transistor Tr as a multi-gate type.

[0058] [Embodiment 4] This embodiment is a modified example of the matrix circuit of Embodiment 1. Fig. 11 is an equivalent circuit diagram of 2x2 pixels of an image sensor of this embodiment. Fig. 12 is a schematic plan view of the

matrix circuit of this embodiment. This embodiment is different from Embodiment 1 in that the selection transistor Ts and the reset transistor Tr are each configured as a so called multi-gate structure having two gate electrodes. In Figs. 11 and 12, the same reference symbols as Figs. 1 and 4 designate the same constituents.

[0059] Two gate electrodes 321 and 322 of the selection transistor Ts are integrally formed in the selection line 101, and two gate electrodes 323 and 324 of the reset transistor Tr are integrally formed in the reset line 102. Further, active layers of six thin film transistors disposed in a unit section 320 is configured in one island area 325. A photoelectric converter (photodiode PD) may be formed similar to Embodiment 1, and in Fig. 12, a rectangular area 326 shown by a heavy line represents a plane pattern of a lower electrode.

[0060] This embodiment can simultaneously solve the problems caused by the leakage currents of the selection transistor Ts and the reset transistor Tr as illustrated in Embodiment 2 and Embodiment 3 by configuring the selection transistor Ts and the reset transistor Tr to have a double-gate structure. Further, in this embodiment, a pixel pitch in a horizontal direction is 13a (a is a design rule) which is the same as Embodiment 2.

[0061] In Embodiment 1 to 4 described above, although the image sensor formed on an insulating surface has been explained, it is apparent that an effect of shortening a

pixel pitch can be obtained even when the image sensor is formed in a single crystal silicon substrate by employing the plan structure of the element according to the present invention.

[Fig. 7]

101: SELECTION LINE  
102: RESET LINE  
103: SIGNAL LINE  
103: SIGNAL LINE  
104: POWER LINE  
300: UNIT SECTION

[Fig. 8]

300: UNIT SECTION  
301, 302: GATE ELECTRODE OF  $T_s$   
303: ISLAND AREA

[Fig. 9]

101: SELECTION LINE  
102: RESET LINE  
103: SIGNAL LINE  
103: SIGNAL LINE  
104: POWER LINE  
310: UNIT SECTION

[Fig. 10]

310: UNIT SECTION

311, 312: GATE ELECTRODE OF Tr

313: ISLAND AREA

[Fig. 11]

101: SELECTION LINE

102: RESET LINE

103: SIGNAL LINE

103: SIGNAL LINE

104: POWER LINE

320: UNIT SECTION

[Fig. 12]

320: UNIT SECTION

321, 322: GATE ELECTRODE OF Ts

323, 324: GATE ELECTRODE OF Tr

325: ISLAND AREA

特開平11-121731

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>5</sup>

H01L 27/146

H04N 5/335

識別記号

FI

H01L 27/14

H04N 5/335

E

E

審査請求 未請求 請求項の数 7 FD (全 14 頁)

(21) 出願番号 特願平9-306516

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(73) 発明者 坂倉 真之

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(73) 発明者 佐藤 由里香

神奈川県厚木市長谷398番地 株式会社半

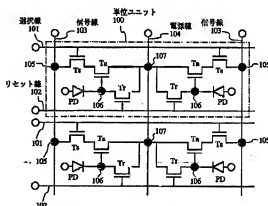
導体エネルギー研究所内

(54) 発明の名称 イメージセンサ

(57) 【要約】

【課題】 ガラスや石英基板上に、アクティブ方式のイメージセンサを高密度に形成する。

【解決手段】 マトリクス回路には、薄膜トランジスタである選択トランジスタTs、増幅トランジスタTa及びリセットトランジスタTrが形成される。フォトダイオードPDはマトリクス回路上に絶縁層を介して積層される。電源線104は隣接する2列で共有され、1画素当たりの配線数を削減する。単位ユニット100を内に形成される全てのトランジスタを1つの島状半導体薄膜に形成し、1画素当たりのコンタクトホール数を少なくする。



Ts: 選択トランジスタ 105, 106, 107: コンタクトホール

Ta: 増幅トランジスタ

Tr: リセットトランジスタ

PD: フォトダイオード (光電変換素子)



## 【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されており、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、電源線、リセット線及び選択線と、前記画素ごとに薄膜トランジスタでなるリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有し、隣接する2画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、かつ前記選択トランジスタは異なる前記信号線に電気的に接続されていることを特徴とするイメージセンサ。

【請求項2】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されており、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、信号線、電源線、リセット線及び選択線と、前記画素ごとに薄膜トランジスタでなるリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有し、

隣接する2画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、前記選択トランジスタは異なる前記信号線に電気的に接続され、当該隣接する2画素に形成される前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は1つの島状半導体薄膜でなることを特徴とするイメージセンサ。

【請求項3】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されており、複数の画素を有するアクティブ方式のイメージセンサであって、前記マトリクス回路は、

信号線、選択線及びリセット線と、前記光電変換部の下部電極と前記信号線、選択線及びリセット線との間に形成された電源電位に固定されたシールド電極と、前記画素ごとに、薄膜トランジスタでなる選択トランジスタ、増幅トランジスタ及びリセットトランジスタとを有し、前記リセットトランジスタ及び前記増幅トランジスタは前記シールド電極に電気的に接続されていることを特徴とするイメージセンサ。

【請求項4】 絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されており、複数の画素を

有するアクティブ方式のイメージセンサであって、

前記マトリクス回路は、信号線、選択線及びリセット線と、前記光電変換部の下部電極と前記信号線、選択線及びリセット線との間に形成された電源電位に固定されたシールド電極と、前記画素ごとに、薄膜トランジスタでなる選択トランジスタ、増幅トランジスタ及びリセットトランジスタとを有し、前記リセットトランジスタ及び前記増幅トランジスタは前記シールド電極に電気的に接続され、隣接する2画素に形成された前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は1つの島状半導体薄膜でなることを特徴とするイメージセンサ。

【請求項5】 請求項3又は請求項4において、前記シールド電極は、前記複数の画素に共通な共通電極であることを特徴とするイメージセンサ。

【請求項6】 請求項1〜5において、前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層は多結晶シリコンで形成されていることを特徴とするイメージセンサ。

【請求項7】 請求項1〜6において、前記光電変換部は非晶質シリコンを有することを特徴とするイメージセンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は絶縁ゲイト型トランジスタを用いたアクティブ方式のイメージセンサに関するものである。また、本発明のイメージセンサはマトリクス回路と光電変換部が積層された積層構造のイメージセンサに関するものである。

## 【0002】

【従来の技術】従来、イメージセンサとして、単結晶シリコンを用いたCCD型やMOS型が実用化されているが、市場の多くはCCD型が占めている。近年、MOSイメージセンサのマトリクス回路の構造に関して、増幅器を備えたアクティブ型（増幅型）が注目されている。アクティブ型では検出した光信号を増幅して読み出しているため、S/N比が大幅に改善され、CCDに匹敵する感度が実現されている。またMOS型は超LSI製造工程とプロセス整合性が良い、周辺駆動回路をワン・チップ化が可能である、単一電源を使用するためCCDより消費電力が低い等の長所を有するので、次世代のセンサとして期待されている。

【0003】図17に従来のアクティブ方式のMOS型イメージセンサの1画素の等価回路を示す。ここでは、アクティブ方式のうちのフォトダイオード型のイメージセンサを示す。1画素には、フォトダイオード10と、フォトダイオード10の下部電極の電位をリセットする

リセットトランジスタ11と、フォトダイオード10で検出された光信号を増幅するための増幅トランジスタ12と、信号を読み出す行を選択するための選択トランジスタ13とを有する。

【0004】フォトダイオード10の光入射側の上部電極は一定電位 $V_p$ に接続され、下部電極はリセットトランジスタ11のドレイン及び増幅トランジスタ12のゲイトに接続されている。同じ行に配置されるリセットトランジスタ11のゲイトは共通のリセット線21に接続され、同じ行に配置される選択トランジスタ13のゲイトは共通の選択線22に接続され、同じ列に配置される選択トランジスタ13のドレインは共通の信号線23に接続されている。また、リセットトランジスタ11と増幅トランジスタ12のソースの電位はそれぞれ電源線24により電源電位に接続されている。

【0005】アクティブ方式のMOS型センサの欠点の1つに、1画素に配置されるトランジスタが複数個あるため、画素ピッチが大きくなることが挙げられるが、近年、超LSIの微細加工技術の進歩、成熟により、この欠点は解消されつつあり、高密度のアクティブ方式のMOS型センサが製造可能となっている。

【0006】例えば、図17に示した1画素に3つのトランジスタが配置されたマトリクス回路の場合、CMOS-VLSIの標準的な設計では、画素ピッチは $15 \times a$  ( $a$ はデザインルール)となり、 $a$ が $1 \mu\text{m}$ では、画素ピッチが $15 \mu\text{m}$ /ピッチとなり、 $0.5 \mu\text{m}$ ルールでは $7.5 \mu\text{m}$ /ピッチとなり、更に $0.35 \mu\text{m}$ ルールでは $5 \mu\text{m}$ /ピッチとなる。

【0007】近年、イメージセンサを用いたカメラはデジタルカメラ等のパソコンや携帯情報端末向けに需要が高まり、低価格化、小型化が要求されている。この要求を達成するには、光学系(レンズ)を縮小する必要がある。小型な1/3型光学系を使用するには、一般に、VGA( $640 \times 480$ )規格では画素ピッチを $10 \mu\text{m}$ とし、SVGA( $800 \times 600$ )規格では画素ピッチを $5 \mu\text{m}$ とすればよいといわれている。従って、1/3型光学系を用いるには、VGA規格のセンサでは $0.5 \mu\text{m}$ デザインルールの標準工程を採用すればよく、SVGA規格では $0.35 \mu\text{m}$ ルールの標準工程を採用すればよい。

【0008】他方、ガラス基板やガラス基板等の絶縁性基板上に薄膜トランジスタ(薄膜トランジスタ)を用いたイメージセンサが実用化されているが、薄膜トランジスタに非晶質シリコン薄膜が用いられているため移動度が低く、アクティブ方式の実用化は困難であるので、その多くは非増幅型のパッシブ方式である。また、用途はカメラではなく静止画像用の密着型センサである。

【0009】近年、液晶パネルの分野では、多結晶シリコンを用いた薄膜トランジスタの製造技術が積極的に開発されている。ガラス基板や石英基板上に、特性の均一

な、高移動度の多結晶シリコン薄膜トランジスタが作製可能となり、多結晶シリコン薄膜トランジスタを用いた液晶パネルが実用化されている。

【0010】従って、上述したアクティブ方式のセンサにおいて、単結晶シリコン基板上に作製されたMOSトランジスタを多結晶シリコン薄膜トランジスタに置き換えることで、ガラス基板や石英基板上に、カメラ用途のイメージセンサを形成することが実現可能である。

【0011】

【発明が解決しようとする課題】多結晶シリコン薄膜トランジスタを用いたアクティブ方式を実現するには、薄膜トランジスタの特性を向上し、かつ均一化することが重要なポイントの1つであるが、デザインルールの制約があるため、画素ピッチを縮小することが解決すべき最優先の課題となる。

【0012】現状では、薄膜トランジスタを作製するためのデザインルールは、小型石英基板( $200 \text{mm} \times 200 \text{mm}$ )では $1 \mu\text{m}$ 程度であり、ガラス基板( $400 \text{mm} \times 500 \text{mm}$ )では $2 \sim 3 \mu\text{m}$ 程度である。図17に示した1画素に3つのトランジスタが配置された回路画素ピッチは、CMOS-VLSIの標準的な設計では、一般的に $15 \times a$ といわれている。この計算方法を薄膜トランジスタにも適用すると、画素ピッチは石英基板の $1 \mu\text{m}$ ルールでは $15 \mu\text{m}$ /ピッチとなり、ガラス基板の $2 \mu\text{m}$ ルールでは $30 \mu\text{m}$ /ピッチとなる。よって、有効受光領域の水平方向の寸法は、VGA規格とした場合には、 $1 \mu\text{m}$ ルールでは $15 \mu\text{m}$ /ピッチ $\times 640 = 9.6 \text{mm}$ となり、 $2 \mu\text{m}$ ルールでは2倍の $19.2 \text{mm}$ となる。

【0013】現在、安価に入手できるカメラ光学系の中で最大のものは、2/3型である。しかし2/3型光学系の水平方向の寸法は約 $8.7 \text{mm}$ であるため、デザインルールの小さい石英基板を用いても、アクティブ方式のイメージセンサに2/3型光学系を採用することが不可能である。従って薄膜トランジスタでイメージセンサを製造しても光学系が大きい、イメージセンサの価格が大幅に上昇してしまう。ガラス基板は面積で、安価なため、従来の単結晶シリコンを用いたMOS型及びCCD型よりも、薄膜トランジスタ型センサの製造コストを低くすることが可能であるが、大型光学系を用いることにより、この長所が失われてしまう。

【0014】従って、多結晶シリコン薄膜トランジスタの特性や信頼性に問題が全くなくとも、デザインルールの制約のため、2/3型以下の光学系を使用することが困難である。本発明はこのような問題点を解消して、薄膜トランジスタを用いたアクティブ方式のイメージセンサにおいて、画素ピッチを縮小するための平面配置および、素子構造を提供することを目的とする。

【0015】

【課題を解決するための手段】上述した課題を解決する

ための本発明のイメージセンサは、絶縁表面を有する基板上に形成され、光電変換部と、前記光電変換部で検出された光信号を読み出すマトリクス回路とが積層されており、複数の画素を有するアクティブ方式のイメージセンサに関するものである。積層構造とすることによって、1画素当たりの占有面積を小さくする。

【0016】アクティブ方式のマトリクス回路は、信号線、電源線、リセット線及び選択線と、前記画素ごとに形成されたリセットトランジスタ、選択トランジスタ及び増幅トランジスタとを有する。本発明ではこれらトランジスタを薄膜トランジスタで形成することを特徴とする。

【0017】更に本発明のイメージセンサは、隣接する2つの前記画素において、前記リセットトランジスタ及び前記増幅トランジスタは共通の前記電源線に電気的に接続され、かつ前記選択トランジスタは異なる前記信号線に電気的に接続されていることを特徴とする。

【0018】即ち本発明は、2つの画素において電源線を共有することで、1画素当たりの配線数を削減して、画素ピッチの縮小化を図るものである。

【0019】更に、本発明では、画素ピッチを小さくするために、電源線を共有している隣接する2画素に形成されるリセットトランジスタ、選択トランジスタ及び増幅トランジスタ全てを1つの島状半導体薄膜に形成することを特徴とする。画素ピッチを増大する1つの要因にコンタクトホールが挙げられる。コンタクトホールを形成するにはマスクのアライメント等の製造マージンが必要となるためである。

【0020】本発明では、2画素に形成される薄膜トランジスタの活性層を1つの島状半導体薄膜で形成したので、各薄膜トランジスタを接続するためのコンタクトホールが不要になり、画素ピッチを小さくできる。更に、リセットトランジスタ及び増幅トランジスタを電源線に接続するためのコンタクトホールを2つの画素にて共通化できるという効果も得ることがある。

【0021】更に他の発明のイメージセンサは、前記マトリクス回路の信号線、選択線及びリセット線と、前記光電変換部の下部電極との間に、電源電位に固定されたシールド電極を形成し、前記リセットトランジスタ及び前記増幅トランジスタを前記シールド電極に電気的に接続することとを特徴とする。

【0022】シリコン基板に形成されるイメージセンサでは、シリコン基板が一定電位に固定できるため、マトリクス回路の配線の電位変動が光電変換部の下部電極の電位に与える影響はあまり大きなものにならない。しかし、本発明では絶縁表面にイメージセンサを形成するため、マトリクス回路の電位変動による下部電極のノイズ発生は大きな問題となる。

【0023】そのため、本発明では電源電位に固定されたシールド電極によって、光電変換部の下部電極とマト

リクス回路の信号線、選択線及びリセット線の間に等電位面を形成し、前記光電変換部の下部電極をシールドする。更に電源線を形成する代わりにこのシールド電極によって、増幅トランジスタ及びリセットトランジスタに動作電力を供給することによって、配線数を削減する。【0024】また、上記の構成において、隣接する2つの画素に形成された前記リセットトランジスタ、選択トランジスタ及び増幅トランジスタの活性層を1つの島状半導体薄膜で構成することによって、画素ピッチの縮小を図る。

【0025】

【実施例】 以下図1～図16を用いて、本発明の実施例を詳細に説明する。

【0026】[実施例1] 本実施例はアクティブ型のイメージセンサに関するものであり、マトリクス回路と光電変換部が積層構造をなす。マトリクス回路は従来例と同様に、1画素に3つのトランジスタを有する。本実施例ではこれらのトランジスタは絶縁表面に形成された薄膜トランジスタで形成されている。

【0027】図1は本実施例のイメージセンサの2×2画素の等価回路図である。本実施例では、縦横で囲むように同一行において隣接する2画素が単位ユニット100となる。行ごとに選択線101及びリセット線102が配列され、列ごとに信号線103が配列されている。更に、電力を供給するための電源線104が信号線103に平行に、かつ2列ごとに配列されている。電源線104を隣接する2列で共有することで、1画素当たりの配線数が少なくなり、画素ピッチを小さくすることができる。

【0028】各画素には、選択トランジスタTs、増幅トランジスタTa、リセットトランジスタTrがそれぞれ形成されている。同じ行に形成される選択トランジスタTsのゲイトは共通の選択線101に接続され、同じ行に形成されるリセットトランジスタTrのゲイトは共通のリセット線に接続されている。また、増幅トランジスタTaのゲイトは画素ごとにフォトダイオードPDに接続されている。

【0029】図1において鳳丸はコンタクトホール105～107を示している。コンタクトホール105～107は各トランジスタの活性層に形成されたソース/ドレイン領域を配線に接続するためのものである。同一列に配置される選択トランジスタTsのドレイン領域はコンタクトホール105を介して共通の信号線103に接続されている。各画素において、増幅トランジスタTaのゲイト電極及びリセットトランジスタTrのソース領域は、共通のコンタクトホール106を介してフォトダイオード(光電変換部)PDの下部電極に接続されている。

【0030】また、単位ユニット100内の2つの増幅トランジスタTa及び2つのリセットトランジスタTrのソース領域は、1つのコンタクトホール107において電

源線104に接続されている。単位ユニット100を構成する2画素において、電源線104に接続される全ての薄膜トランジスタのコンタクトホール107が共通化されているため、1画素当たりのコンタクトホール数が削減され、画素ピッチの縮小化が図れる。

【0031】更に、本実施例では単位ユニット100を構成する隣接する2つの画素に形成される全てのトランジスタの活性層を1つの島状半導体薄膜に形成することによって、画素の占有面積の削減を図る。

【0032】本実施例のイメージセンサの動作方法は一般的なアクティブ方式のイメージセンサと同様であり、マトリクス回路では光電変換部で検出された光信号は増幅されて、読み出されている。1フレーム分の映像信号が検出されると、リセット線104からリセットパルス信号が入力されて、リセットトランジスタTrがオン状態となり、フォトダイオードPDの下部電極及び増幅トランジスタTaの電位が電源電位にリセットされる。リセットトランジスタTrが非選択状態で、増幅トランジスタTaのゲート電極は浮遊状態とされる。フォトダイオードPDにおいて入射した光が電荷に変換され蓄積される。この電荷によりフォトダイオードPDの下部電極の電位が電源電位から微少に変化する。下部電極の電位の変動は増幅トランジスタTaにおいて、ゲート電極の電位変動として検出されて、ドレイン電流として増幅される。選択線101から選択パルス信号が入力されると、選択トランジスタTsはオン状態とされ、増幅トランジスタTaから出力されたドレイン電流が映像信号として信号線103に読み出される。

【0033】以下、図2～6を用いて、本実施例のイメージセンサの作製工程を説明する。図2～図5は本実施例のイメージセンサの作製工程を説明する平面図である。図6は本実施例のイメージセンサの概略の断面図であり、図6(A)は図2～図5の線A-A'による断面図示であり、選択トランジスタTs及び増幅トランジスタTaのチャネル長方向の断面が図示されている。図6(B)は図2～図5の線B-B'による断面構造が図示され、リセットトランジスタTrの断面構造が図示されている。

【0034】本実施例では、配線の幅や、配線と配線等の間隔や、コンタクトホールのサイズ等の値がデザインルールに従って設計されている。絶縁表面を有する基板201として、石英、合成石英、無アルカリガラス、ホウケイ酸ガラス等の基板を用いることができる。更に、これら基板表面に絶縁性下地膜として酸化珪素膜や窒化珪素膜が形成された基板を用いることができる。基板201上には、図2に示すように単位ユニット100ごとに多結晶シリコンでなる島状領域202が形成される。島状領域202には単位ユニット100に形成される6つの薄膜トランジスタの活性層が形成される。

【0035】島状領域202を形成するには、まずプラズマCVD法によって非晶質シリコン膜を20～150nmの厚さに成膜し、エキシマレーザ光を照射して多結晶化する。非晶質シリコン膜の結晶化方法として、SPCと呼ばれる熱結晶化法、赤外線を照射するRTA法、熱結晶化とレーザアニールとを併用する方法等を用いることができる。そして、多結晶化されたシリコン膜をパターンニングして、図2に示すように島状領域202を各単位ユニット100ごとに形成する。次に島状領域202にホウ素 $5 \times 10^{16} \sim 3 \times 10^{16}$  atoms/cm<sup>2</sup>の濃度でチャネルドーパする。チャネルドーパは島状領域202のパターンニング前に行ってもよい。

【0036】次に、図6に示すように、これら島状領域202を覆うゲート絶縁膜203を形成する。ゲート絶縁膜203はシラン(SiH<sub>4</sub>)とN<sub>2</sub>Oを原料ガスに用いて、プラズマCVD法で50～200nmの厚さに形成する。また基板201に耐熱性が高い石英基板を用いた場合には、ゲート絶縁膜203を厚さ50～150nmの熱酸化膜を形成することも可能である。

【0037】次に、図3に示すように、第1層目の配線となる信号線101、選択線102を構成するAl、Crや導電性ポリシリコン膜等の導電膜を成膜する。この導電膜をパターンニングして選択線101、リセット線102及び増幅トランジスタTaのゲート電極206を形成する。

【0038】選択線101には選択トランジスタTsのゲート電極204が一体的に形成され、リセット線102とリセットトランジスタTrのゲート電極205が一体的に形成される。増幅トランジスタTaのゲート電極206が形成される。増幅トランジスタTaのゲート電極206はリセットトランジスタTrの活性層が形成される部分にオーバーラップして形成されている。これは、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのドレイン領域と、フォトダイオードの下部電極とを接続を容易にするためである。選択線101及びリセット線102の幅はデザインルールαとする。

【0039】次に、ゲート電極204～206をマスクにして、島状領域202にN型の導電性を付与するリンをドーピングする。ドーピング後、加熱処理もしくはレーザ照射によりドーピングされたリンを活性化すると共に、ドーピングにより損傷された島状領域の結晶性を改善する。この工程において、島状領域202のゲート電極204～206によりマスクされた領域は実質的に真性の導電性が維持され、選択トランジスタTr、リセットトランジスタTs及び増幅トランジスタTaのチャネル形成領域207、208、209としてそれぞれ決定される。またリセットトランジスタTrの活性層で、増幅トランジスタTaのゲート電極206がオーバーラップしている領域210も真性の導電性が維持されている。他方、島状領域202のゲート電極204～206によりマスクされていない領域は、N型のソース/ドレイン領域と

なる。

【0040】次に、第1の層間絶縁膜211として厚さ200～600nmの酸化珪素膜を形成する。そして、ゲート絶縁膜203及び第1の層間絶縁膜211に、選択トランジスタTsのドレイン領域に整合するコンタクトホール105、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのドレイン領域に整合するコンタクトホール106、増幅トランジスタTa及びリセットトランジスタTrのソース領域に整合するコンタクトホール107を形成する。

【0041】100nmのチタン膜、300nmのアルミニウム膜、100nmのチタン膜でなる積層膜を形成しパターニングして、図4に示すように、信号線103、電源線104及び、フォトダイオードPDの下部電極との接続用の電極212を形成する。信号線103はコンタクトホール105を介して選択トランジスタTsのドレイン領域に接続される。電源線104はコンタクトホール107を介して、単位ユニット100に配置される全ての増幅トランジスタTa及びリセットトランジスタTrのソース領域に接続される。電極212はコンタクトホール106を介して、増幅トランジスタTaのゲート電極206及びリセットトランジスタTrのドレイン領域に接続される。信号線103及び電源線104の幅は、薄膜トランジスタとの接続部を除いてデザインルールαとする。以上の工程によってマトリクス回路が完成する。

(図4、6)

【0042】本実施例では、隣接する2画面でなる単位ユニット100に配置される6つの薄膜トランジスタ全て1つの島状領域202に形成するため、異なる薄膜トランジスタのソース/ドレイン領域を電気的に接続するためのコンタクトホールが不要である。よって、この単位ユニットに配置される各2つの増幅トランジスタTa、リセットトランジスタTr、計4つの薄膜トランジスタを電源線104に接続するためのコンタクトホール107が1つでよく、水平方向の画素ピッチが縮小される。

【0043】次に図6に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第2の層間絶縁膜213を基膜201全面に形成する。第2の層間絶縁膜213としては、下層の凹凸を相殺して、平坦な表面が得られる平坦化膜が好ましく、例えばポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜や、酸化珪素やPSG等の酸化珪素系塗布膜を用いることができる。また、第2の層間絶縁膜213の表面層は平坦化膜とし、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層としても良い。本実施例では、第2の層間絶縁膜213としてポリイミド膜を1.5μmの厚さに形成する。

【0044】次に、第2の層間絶縁膜213に電極212に整合するコンタクトホール214を形成する。次に、P-I-N接合を有するシリコン層を有するフォトダイ

オードPDを形成する。先ずフォトダイオードPDの下部電極221を構成するT1、Cr、Mo等の金属膜を形成する。本実施例では導電膜として厚さ200nmのチタン膜をスパッタ法で成膜する。次に下部電極221とオーミック接合するリンを含んだn型の非晶質シリコン膜を30～50nmの厚さに、ここでは30nmの厚さに成膜する。n型非晶質シリコン膜及びチタン膜パターンニングして、図5に示すように画素ごとに電気的に分離され、電極212に接続された下部電極221、下部電極221と同一パターンでn層222を形成する。

【0045】次に、i型の水素化非晶質シリコン膜を1～2μm、ここでは1.5μmの膜厚に成膜する。連続して、ホウ素を含んだp型の非晶質シリコン膜を30～100nmの厚さに、ここでは50nmの厚さに成膜する。この結果n層222、i層223、p層224でなる光電変換層が形成される。p層224上に上部電極を構成するITOもしくはSnO<sub>2</sub>等の透明導電膜を成膜する。ここでは120nmのITO膜を上部電極225として形成する。上部電極225は全ての画素に共通に一体的に形成される。以上によりフォトダイオードPDが完成する。

【0046】フォトダイオードPDのi層223にはi型の非晶質シリコンゲルマニウムを用いることができる。また、n層222、p層224は非晶質シリコンの代わりに微結晶シリコンを用いることができる。更にn層222やp層224の材料として、リンやボロンを添加したn型もしくはp型の窒化珪素、酸化珪素、炭化珪素を用いることができる。また、オーミック接合用のn層222の代わりにバッファ層として、リンやボロンを添加したn型もしくはp型の窒化珪素、酸化珪素膜、窒化珪素膜を10nm程度の厚さに成膜しても良い。また、光電変換層をP-I-N接合を有するシリコンで形成する代わりに、i型の水素化非晶質シリコンもしくは品質シリコンゲルマニウムのみで形成し、ショットキー接合型のフォトダイオードPDを形成することもできる。

【0047】本実施例では、図5に示すように、隣接するフォトダイオードPDの下部電極221の隙間には、単位ユニット100内では電源電位に固定された電源線104のみが存在する。他の単位ユニット100間では、下部電極221の四隅にデザインルールαの幅だけ選択線101、リセット線102及び信号線103が存在している。従って、隣接する下部電極221と下部電極221との隙間には、電位が変動する配線101～103が存在しないため、これらの配線101～103の電位変動によって発生する下部電極221の電位変動を抑制できる。

【0048】他方、光入射側では、上部電極225は全画素に共通な共通電極の構造を有し、受光領域外部にて所定の固定電位に接続されている。よって下部電極221の光入射側は上部電極225が作る等電位面にシリ

ドされている。

【0049】本実施例では、画素ピッチ（水平×垂直）は $11\mu\text{m}\times 13\mu\text{m}$ （ $\alpha$ はデザインルール）となる。一般にイメージセンサの画素規格では、画素数の水平：垂直比は4：3である。よって画素ピッチの水平：垂直比は3：4が理想的である。よって光学系を小型化する上で画素ピッチの大きさの律則は水平方向の画素ピッチとなり、垂直方向のピッチは水平方向のピッチを3とした場合に4を越えないように設計される。

【0050】従来例で述べたように、CMOS-VLSIの標準的な設計では画素ピッチは $15\mu\text{m}$ であるが、本実施例では、特に水平方向の画素ピッチが縮小化され、 $11\mu\text{m}$ とすることが可能である。例えば、デザインルール $\alpha$ を $1\mu\text{m}$ とし、画素規格をVGA（ $640\times 480$ ）とした場合には、有効受光領域の水平方向の長さは、 $11\times 1\mu\text{m}\times 640=7.04\text{mm}$ となり、2/3インチの光学系を使用することが可能になる。

【0051】[実施例2] 本実施例は、実施例1のマトリクス回路の変形例である。図7は本実施例のイメージセンサの $2\times 2$ 画素の等価回路図である。図8は本実施例のマトリクス回路の模式的な平面図である。実施例1と異なる点は、選択トランジスタTsを2つのゲイト電極を有する、いわゆるマルチゲイト構造とした点である。図7、図8において図1、図4と同じ符号は同じ構成要素を示す。

【0052】図8に示すように、選択線101には選択トランジスタTsの2つのゲイト電極301、302が一体的に形成されている。また実施例1と同様に単位ユニット300に形成される全ての薄膜トランジスタの活性層は1つの島状領域303に形成されている。光電変換部（フォトダイオードPD）は実施例1と同様に形成すれば良く、図8において太線で示す矩形的領域304が下部電極の平面パターンを示す。

【0053】本実施例では、選択トランジスタTsは2つのトランジスタが直列に接続された構造とすることで、非選択時の選択トランジスタTsのリーク電流の低減を図っている。非選択時に選択トランジスタTsから電流がリークすると、信号線から出力される信号電流が減少してしまう。また、このリーク電流は他の画素から出力された信号電流に対してノイズとなる。本実施例では、選択トランジスタTsをマルチゲイト型とすることによって、これら2つの問題点を解消する。

【0054】本実施例では、選択線101には選択トランジスタTsの2つのゲイト電極301、302を形成するため、水平方向の画素ピッチが $13\mu\text{m}$ （ $\alpha$ はデザインルール）となり実施例1よりも大きくなってしまいが、隣接する2つの列において電源線104が共有されているため、従来の画素ピッチ $15\mu\text{m}$ よりも縮小化されている。

【0055】[実施例3] 本実施例は、実施例1のマ

トリクス回路の変形例である。図9は本実施例のイメージセンサの $2\times 2$ 画素の等価回路図である。図10は本実施例のマトリクス回路の模式的な平面図である。実施例1と異なる点は、リセットトランジスタTrを2つのゲイト電極を有するいわゆるマルチゲイト構造とした点である。図9、図10において図1、図4と同じ符号は同じ構成要素を示す。光電変換部（フォトダイオードPD）は実施例1と同様に形成すれば良く、図10において太線で示す矩形的領域314が下部電極が形成される領域を示す。

【0056】図10に示すように、選択線102にはリセットトランジスタTrの2つのゲイト電極311、312が一体的に形成される。また実施例1と同様に単位ユニット310に形成される全ての薄膜トランジスタを構成する活性層は1つの島状領域313に形成されている。また本実施例では、水平方向の画素ピッチが $12\mu\text{m}$ （ $\alpha$ はデザインルール）となり、実施例1よりも大きくなってしまいが、隣接する2つの列において電源線104が共有されているため、従来例の画素ピッチ $15\mu\text{m}$ よりも縮小することができ。

【0057】本実施例では、リセットトランジスタTrは2つのトランジスタが直列に接続された構造とすることで、非選択時のリセットトランジスタTrのリーク電流が低減を図っている。非選択時にリセットトランジスタTrから電流がリークすると、この時には浮遊状態とされている増幅トランジスタTaのゲイト電極206の電位が上昇してしまう。増幅トランジスタTaで増幅される電流の大きさはそのゲイト電極の電位の減少幅に対応している。そのためゲイト電極の電位が上昇してしまうと、増幅トランジスタTaから出力されるドレイン電流は減少してしまい、その画素から読み出される信号電流が小さくなってしまふ。この結果、解像度の低下や映像の明るさムラが生じてしまふ。本実施例では、リセットトランジスタTrをマルチゲイト型とすることによってリーク電流を低減し、この問題を解消することができる。

【0058】[実施例4] 本実施例は、実施例1のマトリクス回路の変形例である。図11は本実施例のイメージセンサの $2\times 2$ 画素の等価回路図である。図12は本実施例のマトリクス回路の模式的な平面図である。実施例1と異なる点は、選択トランジスタTs及びリセットトランジスタTrを2つのゲイト電極を有するいわゆるマルチゲイト構造とした点である。図11、図12において図1、図4と同じ符号は同じ構成要素を示す。

【0059】選択線101には選択トランジスタTsの2つのゲイト電極321、322が一体的に形成され、リセット線102にはリセットトランジスタTrの2つのゲイト電極323、324が一体的に形成される。また、単位ユニット320に配置される6つの薄膜トランジスタの活性層は1つの島状領域325で構成されている。光電変換部（フォトダイオードPD）は実施例1と同様に

形成すれば良く、図12において太線で示す矩形の領域326は下部電極の平面パターンを示す。

【0060】本実施例では、選択トランジスタTs及びリセットトランジスタTrをダブルゲート構造とすることによって、実施例2及び実施例3で示した、選択トランジスタTs及びリセットトランジスタTrのリーク電流に起因する問題点を同時に解消することができる。なお、本実施例では水平方向の画素ピッチは実施例2と同じ13a(aはデザインルール)である。

【0061】以上の実施例1〜4では絶縁表面上に形成されたイメージセンサについて説明したが、単結晶シリコン基板上に形成した場合でも本発明の素子の平面構造を採用することによって、画素ピッチの縮小という効果を得ることができるのは明らかである。

【0062】【実施例5】 図13〜図15は本実施例のイメージセンサの作製工程を説明する平面図である。図16は本実施例のイメージセンサの断面図であり、図16(A)は図13〜15の線A-A'による断面図であり、主に選択トランジスタTs及び増幅トランジスタTaのチャネルの断面が図示されている。図16(B)は図13〜図15の線B-B'による断面図であり、リセットトランジスタTrの断面が図示されている。

【0063】実施例1〜4では画素を高密度化するために、フォトゲイオードDPD(光電変換部)とマトリクス回路の積層した構造とした。しかしながら積層構造としたため、フォトゲイオードの下部電極がマトリクス回路の信号線等の配線を重なることを回避することは困難である。マトリクス回路の配線と重ならないように下部電極を形成すると、有効受光面積が小さくなってしまい不都合である。

【0064】下部電極がマトリクス回路の配線と重なること、マトリクス回路の配線の電位変動によってフォトゲイオードの下部電極の電位が変動し、光電変換部で検出された光信号に雑音として混入してしまう。特にアクティブ方式のマトリクス回路では、増幅トランジスタによってこの雑音をも増幅されるの、センサ感度向上の大きな障害となる。

【0065】シリコン基板上に形成されるイメージセンサは、基板が接地電位等の一定電位に固定されるため、マトリクス回路配線の電位変動によるノイズは、ガラス基板や石英基板を用いた場合よりもそれほど大きくはならない。実施例1〜4では隣接する下部電極の間には電位が変動する選択線101、リセット線102及び信号線103が殆ど存在しないようにして、下部電極221のノイズ発生を低減するようにした。本実施例では下部電極のノイズ発生の防止効果をさらに高めた素子構造に関するものである。

【0066】本実施例では、マトリクス回路の配線と下部電極の間に導電性層を設けて、この導電性層の電位を固定する構成を採用する。この構成によりマトリクス回

路の配線と下部電極との間には固定された等電位面が形成されるため、マトリクス回路の配線の電位の変動は下部電極に全く影響を与えない。ここでは、導電性層が作る等電位面によって下部電極がノイズからシールドされるため、この導電性層をシールド電極と呼ぶ。

【0067】更に本実施例では、シールド電極を動作電源に固定して、電源線の代わりにシールド電極によって増幅トランジスタTs及びリセットトランジスタTrに電力を供給して、配線数を少なくしている。

【0068】本実施例のマトリクス回路の作製工程は実施例1とほぼ同様である。実施例1との主な相違点は電源線104のパターンの変更及び、シールド電極等の第3層目の配線を形成する点である。単位ユニット400は同一行に配置された隣接する2画素で構成される。先ず図13に示しように、単位ユニット400ごとに多結晶シリコン膜でなる島状領域502が形成される。島状領域502のパターンは実施例1の島状領域202と同じにすればよい。

【0069】次に島状領域502を覆うゲイト絶縁膜503が形成され、ゲイト絶縁膜503上には第1層目の配線となる選択線401、リセット線402が形成される。選択線401及びリセット線402の幅はデザインルールaとする。また選択線401には選択トランジスタTsのゲイト電極504が一体的に形成され、リセット線402とリセットトランジスタTrのゲイト電極505が一体的に形成される。更に、増幅トランジスタTaのゲイト電極506が形成される。

【0070】次に、ゲイト電極504〜506をマスクにして、島状領域502にN型の導電性を付与するリンをドーピングする。ドーピング後、加熱処理もしくはレーザ照射によりドーピングされたリンを活性化すると共に、ドーピングにより損傷された島状領域の結晶性を改善する。

【0071】この工程において、島状領域502のゲイト電極504〜506によりマスクされた部分は実質的に真性とし、選択トランジスタTr、リセットトランジスタTs及び増幅トランジスタTaのチャネル形成領域507、508、509がそれぞれ形成される。リセットトランジスタTrの活性層においてゲイト電極506がオーバーラップされている領域は真性の領域510となる。他方、島状領域502のゲイト電極504〜506によりマスクされていない領域はN型のソース/ドレイン領域となる。

【0072】次に、第1の層間絶縁膜511として厚さ200〜600nmの酸化珪素膜を形成し、選択トランジスタTsのドレイン領域に整合するコンタクトホール405、増幅トランジスタTaのゲイト電極506及びリセットトランジスタTrのドレイン領域に整合するコンタクトホール406、増幅トランジスタTs及びリセットトランジスタTrのソース領域に整合するコンタクトホール4

07が形成される。

【0073】チタン膜、アルミニウム膜、チタン膜でなる積層膜を形成しパターンニングして、図13に示すように、第2層目の配線である信号線403と、シールド電極との接続用の電極512及びフォトダイオードの下部電極との接続用の電極513が形成される。

【0074】信号線403は列ごとに形成され、選択トランジスタTsのドレイン領域にコンタクトホール405において電気的に接続されている。電極512は単位ユニット400ごとに形成され、該当する単位ユニット400内の2つの増幅トランジスタTa及びリセットトランジスタTrのソース領域にコンタクトホール407において接続されている。電極513は画素ごとに形成され、増幅トランジスタTaのゲイト電極506及びリセットトランジスタTrのドレイン領域にコンタクトホール406において電気的に接続されている。信号線403は薄膜トランジスタとの接続部を除いてその幅はデザインルールとする。以上の工程により、イメージセンサのマトリクス回路が完成する。(図13及び図16)

【0075】本実施例も実施例1と同様には、隣接する2画素でなる単位ユニット400に配置される6つの薄膜トランジスタを1つの島状領域502に形成するため、薄膜トランジスタのソース/ドレイン領域を電気的に接続するためのコンタクトホールが不要である。よって、この単位ユニット400に配置される各2つの増幅トランジスタTa、リセットトランジスタTr、即ち計4つの薄膜トランジスタをシールド電極に接続するためのコンタクトホール407及び電極512が1つでよく、画素ピッチの縮小化につながる。

【0076】本実施例の単位ユニット400は実施例1の電源線104を電極512に変形したのみであり、画素ピッチ(水平×垂直)は実施例1と同じ11a×13a(aはデザインルール)にすることができる。

【0077】次に図16に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第2の層間絶縁膜514を基板501全面に形成する。第2の層間絶縁膜514としては、下層の凹凸を相殺して、平坦な表面が得られるポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜や、PSGや酸化珪素等の酸化珪素系の塗布膜を用いることができる。また、第2の層間絶縁膜514の表面層は平坦な表面を得るため樹脂膜とし、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層としても良い。本実施例では、第2の層間絶縁膜514としてPSG膜を100～300nmの厚さに形成する。

【0078】次に、第2の層間絶縁膜514に電極512、513に整合するコンタクトホール515、516を形成する。そしてクロム膜を50～150nmの厚さに成膜しパターンニングして、電極512に接続されるシールド電極517及び電極513に接続される電極51

8を形成する。電極518は画素ごとに形成される。シールド電極517は、電極518が形成された部分を除いて、全ての画素に対して一体的に形成された共通電極の構造をとる。またシールド電極517は受光領域外部で電源電位に接続されている。この接続構成によって、単位ユニット400に配置された各2つの増幅トランジスタTa及びリセットトランジスタTrのソース領域が電源電位に接続される。

【0079】次に図16に示すように、マトリクス回路と光電変換部(フォトダイオードPD)を層間分離するための第3の層間絶縁膜519を基板501全面に形成する。第3の層間絶縁膜519も第2の層間絶縁膜514と同様に樹脂膜や、PSGや酸化珪素等の酸化珪素系の塗布膜等の平坦化膜が好ましい。本実施例では、第3の層間絶縁膜519としてPSG膜を100～300nmの厚さに形成する。そして、図15に示すように電極518に整合するコンタクトホール520を形成する。

【0080】次に、フォトダイオードPDの下部電極521を構成する厚さ200nmのチタン膜と、下部電極521とオーミック接合用のn層222を構成するリンを含んだn型の非晶質シリコン膜を30nmの厚さに成膜する。n型非晶質シリコン膜及びチタン膜パターンニングして、図15に示すように画素ごとに電気的に分離され、電極517に接続された下部電極521、下部電極521と同じ平面パターンでn層222を形成する。

【0081】次に、i層523としてi型の非晶質シリコン膜を1～2μmの膜厚に成膜し、連続して、p層524としてホウ素を含んだp型の非晶質シリコン膜を30～100nmの厚さに成膜する。この結果n層522、i層523、p層524でなる光電変換層が形成される。p層524上に上部電極を構成するITOもしくはSnO<sub>2</sub>等の透明導電膜を成膜する。ここでは120nmのITO膜を上層電極525として形成する。上部電極525は全ての画素に共通に一体的に形成される。以上よりフォトダイオードPDが完成する。上部電極525は受光領域外部にて所定の固定電位に接続されている。このため、下部電極521は光入射側では上部電極525が作る等電位面にシールドされる。

【0082】更に、図15に示すように、フォトダイオードPDの下部電極521とマトリクス回路の間には、電位が変動する配線401～403を覆ってシールド電極517が形成されているため、下部電極521をマトリクス回路から発生するノイズから遮蔽できるという効果も得ることができる。

【0083】なお、本実施例のシールド電極517を実施例2～4に示すイメージセンサにも適用することが可能である。

【0084】実施例1～5において、イメージセンサを可視光に対して透明なガラスや石英等の絶縁基板上に形成し、またトランジスタを薄膜トランジスタで構成した



め、液晶表示装置とのプロセス整合性があり、同一基板上に形成することが可能である。更に、絶縁基板上に形成したため、従来の単結晶シリコン基板上に形成したイメージセンサよりも製造コストが安いので、実施例1〜5に記載されたイメージセンサを単体でデジタルカメラや、カメラ一体型VTR等の撮影機器に組み込むことで、安価にこれらの撮影機器を提供することが可能になる。

#### 【0085】

【発明の効果】本発明は絶縁表面に形成される薄膜トランジスタを用いたアクティブ方式のイメージセンサであって、隣接する2つの画素において電源線を共有することで配線数が削減される。更に、この2つの画素に配置される薄膜トランジスタの活性層を1つの島状半導体薄膜で構成することによって、コンタクトホール数が削減されるので、画素ピッチが縮小される。

【0086】更に本発明では電源電位に固定されたシールド電極によって、光電変換部の下部電極とマトリクス回路の信号線、選択線及びリセット線の間に等電位面を形成し、前記光電変換部の下部電極をシールドすると共に、増幅トランジスタ及びリセットトランジスタに動作電力を供給する。この構造によって、光電変換部の下部電極がマトリクス回路の配線の電位変動によるノイズからシールドできると共に、電源線が不要となり、配線数を削減できる。

#### 【図面の簡単な説明】

【図1】実施例1のイメージセンサの2×2画素の等価回路図。

【図2】実施例1のイメージセンサの作製工程を説明する平面図。

【図3】実施例1のイメージセンサの作製工程を説明する平面図。

【図4】実施例1のイメージセンサの作製工程を説明する平面図。

【図5】実施例1のイメージセンサの作製工程を説明する平面図。

【図6】実施例1のイメージセンサの断面図。

【図7】実施例2のイメージセンサの2×2画素分の等

価回路図。

【図8】実施例2のマトリクス回路の平面図。

【図9】実施例3のイメージセンサの2×2画素分の等価回路図。

【図10】実施例3のマトリクス回路の平面図。

【図11】実施例4のイメージセンサの2×2画素分の等価回路図。

【図12】実施例4のマトリクス回路の平面図。

【図13】実施例5のイメージセンサの作製工程を説明する平面図。

【図14】実施例5のイメージセンサの作製工程を説明する平面図。

【図15】実施例5のイメージセンサの作製工程を説明する平面図。

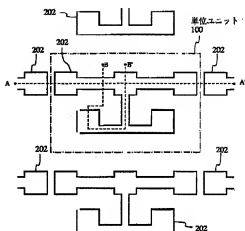
【図16】実施例5のイメージセンサの断面図。

【図17】従来例のアクティブ方式のイメージセンサの等価回路図。

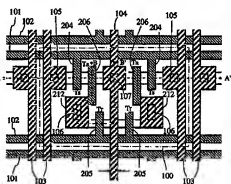
#### 【符号の説明】

Ts	選択トランジスタ
Ta	増幅トランジスタ
Tr	リセットトランジスタ
101	401 選択線
102	402 リセット線
103	403 信号線
104	電源線
105	106 107 コンタクトホール
201	基板
202	島状領域
204	404 選択トランジスタのゲイト電極
205	405 リセットトランジスタのゲイト電極
206	406 増幅トランジスタのゲイト電極
221	521 下部電極
222	522 n層
223	523 i層
224	524 p層
225	525 上部電極
516	シールド電極

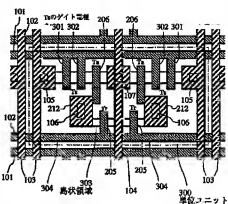
【图2】



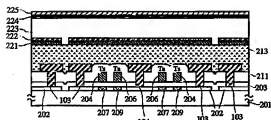
【图4】



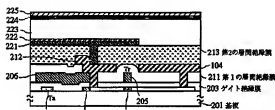
【图8】



【図6】



(A) 線A-A'による断面図



(B) 線B-B'による断面図

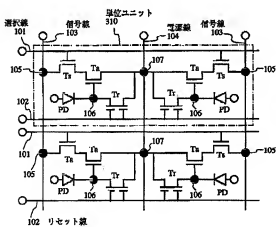
【マトリクス配線】

101: 選択線 102:  $\text{p}^+\text{w}$ 線 103: 信号線 104: 電源線  
 $\text{T}_\text{a}$ : 電圧トランジスタ 204: ゲイト電極 207: チャネル形成領域  
 $\text{T}_\text{r}$ :  $\text{p}^+\text{w}$ トランジスタ 205: ゲイト電極 208: チャネル形成領域  
 $\text{T}_\text{b}$ : 電圧トランジスタ 206: ゲイト電極 209: チャネル形成領域

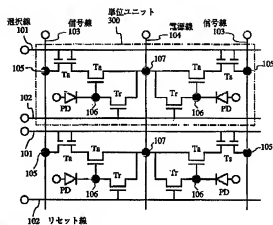
【フォトダイオード (光電変換部)】

221: 下層電極 222: n層 223: i層 224: p層 225: 上層電極

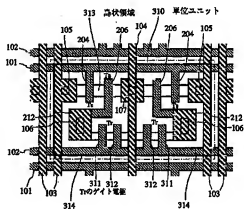
【図9】



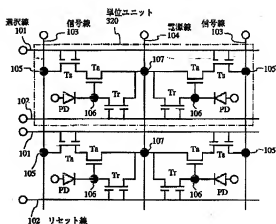
【図7】



【図10】

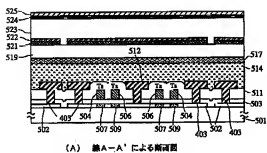


【図11】

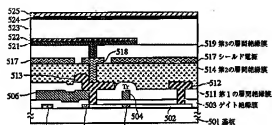




【図16】



(A) 線A-A'による断面図



(B) 線B-B'による断面図

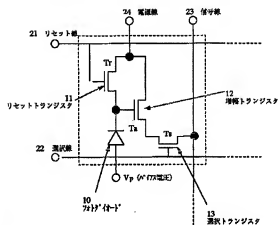
## 【マトリクス図解】

401: 露光膜 402: 90°膜 403: 信号線 519: シールド電線  
 512: シールド電線との接続領域  
 513, 517: 90°膜の下部電線との接続領域  
 7a: 選択トランジスタ 504: デイット電線 507: チャンネル形成領域  
 7b: 90°膜トランジスタ 502: デイット電線 506: チャンネル形成領域  
 7c: 増幅トランジスタ 504: デイット電線 509: チャンネル形成領域

## 【フォトダイオード（光電変換部）】

521: 下部電線 522: n層 523: i層 524: p層 525: 上部電線

【図17】



従来のアクティブ方式のイメージセンサの等価回路図